

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-195974

(43)公開日 平成11年(1999) 7月21日

(51)Int.Cl.⁶

H 0 3 K 19/0185

識別記号

F I

H 0 3 K 19/00

1 0 1 E

審査請求 有 請求項の数 6 O L (全 6 頁)

(21)出願番号 特願平10-286507

(22)出願日 平成10年(1998)10月 8 日

(31)優先権主張番号 5 1 9 5 4 / 1 9 9 7

(32)優先日 1997年10月10日

(33)優先権主張国 韓国 (K R)

(71)出願人 596034274

エルジー セミコン カンパニー リミテ
ッド

大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンードン、1

(72)発明者 金 慶 月

大韓民国ソウル特別市江西区傍華洞192-
9 建友アパート マー204

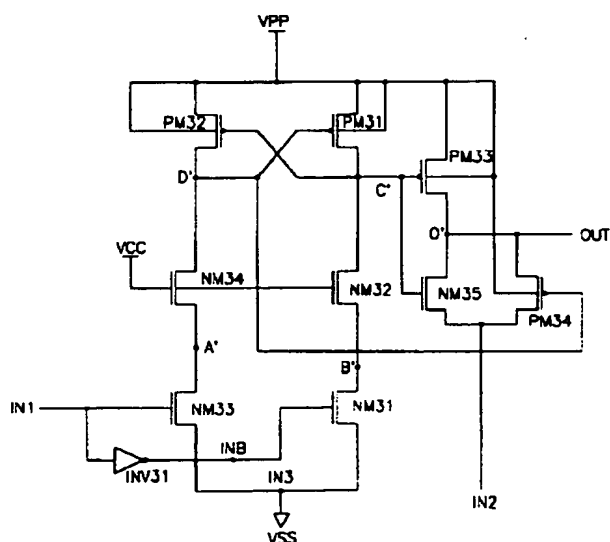
(74)代理人 弁理士 津国 肇 (外3名)

(54)【発明の名称】 レベルシフト回路

(57)【要約】

【課題】 外部電圧レベル (VCC) から接地電圧レ
ベル (VSS) に遷移する別途の回路を追加せず、3相の
電圧レベル (VPP、VCC、VSS) を出力し得るレ
ベル変換器としてのレベルシフト回路を提供すること。

【解決手段】 インバータINV31と、第1～第4 P
MOSTランジスタPM31～PM34と、第1～第5
NMOSTランジスタNM31～NM35と、を備え、
前記第2、第4 NMOSTランジスタNM32、NM3
4は、第1入力信号によって制御されるプルダウントラ
ンジスタとして用い、前記第4 PMOSTランジスタ P
M34及び第5 NMOSTランジスタNM35は第2入
力信号によって制御されるCMOSプルダウンスイッチ
として用いるように、レベルシフト回路を構成する。



1

【特許請求の範囲】

【請求項1】 第1入力信号を反転するインバータと、
該インバータにより反転された信号（INB）がゲート
に入力され、ソースが接地電圧（VSS）に、ドレイン
はノードB' に夫々接続された第1 NMOSトランジスタと、
ゲートに外部電圧（VCC）が印加され、ソース
がノードB' に、ドレインは、ノードC' に夫々接続され
た第2 NMOSトランジスタと、ゲートに第1入力信号
が入力され、ソースが接地電圧（VSS）に、ドレイン
はノードA' に夫々接続された第3 NMOSトランジスタと、
ゲートに外部電圧（VCC）が入力され、ソース
がノードA' に、ドレインは、ノードD' に夫々接続
された第4 NMOSトランジスタと、ゲートが前記ノードD'
に、ドレインは、前記ノードC' に夫々接続され、
ソース及び基板に昇圧電圧（VPP）が印加される
第1 PMOSトランジスタと、ゲートが前記ノードC'
に、ドレインは、前記ノードD' に夫々接続され、ソ
ース及び基板に昇圧電圧（VPP）が印加される第2 PM
OSトランジスタと、ゲートが前記ノードC' に、ドレ
インはノードO' に夫々接続され、ソース及び基板に昇
圧電圧（VPP）が印加される第3 PMOSトランジスタ
と、ゲートが前記ノードC' に、ドレインは、前記ノ
ードO' に夫々接続され、ソースに第2入力信号が入力
される第5 NMOSトランジスタと、ゲートが前記ノードD'
に、ソースは前記ノードO' に夫々接続され、ドレ
インに前記第2入力信号が入力される第4 PMOSト
ランジスタと、を備えて構成され、前記ノードO' から
出力信号（OUT）が出力されることを特徴とするレベ
ルシフト回路。

【請求項2】 第1入力信号が、選択されたブロック信
号で、第2入力信号はセンスアンプの他方に連結され
たブロックの選択信号である場合、メモリ回路がディス
エーブル状態からイネーブル状態になると、第1入力信号
は、“ハイ”レベルから“ロー”レベルに移移され、こ
のとき、第2入力信号は、継続して“ハイ”レベルを維
持することを特徴とする請求項1記載レベルシフト回
路。

【請求項3】 第2入力信号が、選択されたブロック信
号で、第1入力信号は、センスアンプの他方に連結され
たブロックの選択信号である場合、メモリ回路がディス
エーブル状態からイネーブル状態になると、第2入力信
号は、“ロー”レベルから“ハイ”レベルに移移され、
このとき、第1入力信号は、継続して“ハイ”レベルを
維持することを特徴とする請求項1記載レベルシフト
回路。

【請求項4】 CMOSプルダウンスイッチを用いて第
2入力信号が“ロー”レベル又は“ハイ”レベルである
ことに拘らず、該第2入力信号を、そのまま出力信号
（OUT）として出力することを特徴とする請求項3記
載のレベルシフト回路。

2

【請求項5】 第2、第4 NMOSトランジスタは、プ
ルダウンスイッチとして用いることを特徴とする請
求項1記載のレベルシフト回路。

【請求項6】 3相の異なる電圧レベル（VPP、VC
C、VSS）を出力し得ることを特徴とする請求項1記
載のレベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レベル変換器（Tr
anslator）としてのレベルシフト回路に係るもので、詳
しくは、DRAMのようなメモリ回路で、センスアンプ
アレイとセルブロックとを連結するブロック選択ラン
ジスタのゲート信号として用い、信号の入力により二つ
又は三つの異なる電圧レベルを与えるレベル変換器とし
て使用し得る、レベルシフト回路に関するものである。

【0002】

【従来の技術】従来のレベル変換器においては、図4に
示したように、入力信号INを反転するインバータINV11と、
該インバータの出力がゲートに入力され、ソ
ースが接地電圧VSSに、ドレインはノードBに夫々接
続された第1 NMOSトランジスタNM11と、ゲート
に外部電圧VCCが印加され、ソースが前記ノードB
に、ドレインは、ノードCに夫々接続された第2 NMO
SトランジスタNM12と、ゲートに外部電圧VCC
が、ソースには前記インバータINV11の出力が夫々
入力され、ドレインがノードDに接続された第3 NMO
SトランジスタNM13と、ゲートに供給電圧VCCP
が印加され、ソースが前記ノードDに、ドレインは、ノ
ードEに夫々接続された第4 NMOSトランジスタNM
14と、ゲートが前記ノードEに、ドレインは、前記ノ
ードCに夫々接続され、ソース及び基板に供給電圧VC
CPが印加される第1 PMOSトランジスタPM11
と、ゲートが前記ノードCに、ドレインは、前記ノード
Eに接続され、ソース及び基板に供給電圧VCCPが夫
々印加される第2 PMOSトランジスタPM12と、ゲ
ートがノードCに、ドレインはノードOに夫々接続さ
れ、ソース及び基板に供給電圧VCCPが印加される第
3 PMOSトランジスタPM13と、ゲートが前記ノードE
に、ソースは前記第3 PMOSトランジスタPM13のドレ
インに、ドレインは、前記ノードOに夫々接続
され、基板に供給電圧VCCPが印加される第4 PMO
SトランジスタPM14と、ゲートに供給電圧VCCPが、ソ
ースには外部電圧VCCが夫々印加さ
れ、ドレインが前記PMOSトランジスタPM14のド
レインに接続された第5 NMOSトランジスタと、を備
えて構成され、ノードOから出力信号OUTが出力され
ていた。

【0003】以下、このように構成された従来のレベル
変換器の動作を説明する。

【0004】先ず、図5に示したように、入力信号IN

50

3

が“ハイ”レベルから、“ロー”レベルに遷移されると、インバータINV11の出力のノードAは、“ロー”レベルから、“ハイ”レベルに遷移されるため、第1NMOSトランジスタNM11がターンオンされ、ノードBが、“ロー”レベルになり、ノードCも“ロー”レベルになる。

【0005】そして、ノードDは、最初は、第3NMOSトランジスタNM13により $V_{CC}-V_t$ レベルになるが、ノードCがローレベルになると、第2PMOSトランジスタPM12が活性化され、ノードEが供給電圧 V_{CC} レベルまで上昇するため、 $V_{CC}-V_t$ レベルに遷移される。よって、第1、第4PMOSトランジスタPM11、PM14がターンオンされる。ここで、 V_t は、しきい電圧であって、約0.7Vとなる。

【0006】且つ、前記ノードCが、“ロー”レベルであるため、第3PMOSトランジスタPM13がターンオンされ、ノードOは、供給電圧 V_{CC} に接続される。即ち、出力信号OUTが供給電圧 V_{CC} レベルに出力される。

【0007】次いで、第1入力信号IN1が“ロー”レベルから“ハイ”レベルに遷移されると、ノードAは、“ハイ”レベルから“ロー”レベルに遷移され、第1NMOSトランジスタNM11がターンオフされてノードDは、“ロー”レベルに下降する。従って、ノードEも“ロー”レベルになって第1PMOSトランジスタPM11が活性化され、ノードCは、供給電圧 V_{CC} レベルまで上昇して第2、第3PMOSトランジスタがPM12、PM13はターンオフする。

【0008】次いで、ノードEが“ロー”レベルであるため、第4PMOSトランジスタPM14は、活性化され、第5NMOSトランジスタNM15は、最初から、内部的にターンオンされているため、ノードOの出力信号OUTは、外部電圧 V_{CC} レベルになる。

【0009】従って、DRAMのようなメモリ回路で、トランスレータを伝送ゲート駆動器(Transfer gate driver)として使用するため、初期にディスエーブル状態の出力信号OUTを外部電圧 V_{CC} に維持した後、選択されたメモリセルのブロックの場合は、出力信号OUTを供給電圧 V_{CC} に遷移し、選択されていないメモリセルブロックの場合は、出力信号OUTを接地電圧 V_S に遷移すべきであるが、接地電圧 V_S を出力しようとする、外部電圧 V_{CC} レベルから接地電圧 V_S レベルに遷移する別途の回路が必要となる。

【0010】

【発明が解決しようとする課題】つまり、このような従来のトランスレータにおいては、電圧レベルを変更して出力するため、外部電圧 V_{CC} レベルから接地電圧 V_S レベルに遷移させる別途の回路を構成すべきであるという不都合な点があった。

【0011】そこで、本発明は、このような従来の課題

4

に鑑みてなされたもので、別途のレベル遷移回路を追加せず、3相の電圧レベルを出力し得るレベルシフト回路を提供することを目的とする。

【0012】且つ、本発明は、共用センスアンプ形状にて構成されるDRAMのような回路で、セルブロックとセンスアンプとを連結する伝送ゲート駆動機として使用し得るレベルシフト回路を提供することを目的とする。

【0013】又、本発明は、電力の消費を低減し、速度を迅速化し、レイアウト面積を縮小し得るレベルシフト回路を提供することを目的とする。

【0014】

【課題を解決するための手段】このような目的を達成するため、本発明に係るレベルシフト回路においては、第1入力信号IN1を反転するインバータINV31と、該インバータINV31により反転された信号INBがゲートに入力され、ソースが接地電圧 V_{SS} に、ドレインはノードB'に夫々接続された第1NMOSトランジスタNM31と、ゲートに外部電圧 V_{CC} が印加され、ソースがノードB'に、ドレインは、ノードC'に夫々接続された第2NMOSトランジスタNM32と、ゲートに第1入力信号IN1が入力され、ソースが接地電圧 V_{SS} に、ドレインは、ノードA'に夫々接続された第3NMOSトランジスタNM33と、ゲートに外部電圧 V_{CC} が印加され、ソースが前記ノードA'に、ドレインは、ノードD'に夫々接続された第4NMOSトランジスタNM34と、ゲートが前記ノードD'に、ドレインは、前記ノードC'に夫々接続され、ソース及び基板に昇圧電圧 V_{PP} が印加される第1PMOSトランジスタPM31と、ゲートが前記ノードC'に、ドレインは、前記ノードD'に夫々接続され、ソース及び基板に昇圧電圧 V_{PP} が印加される第2PMOSトランジスタPM32と、ゲートがノードC'に、ドレインはノードO'に夫々接続され、ソース及び基板に昇圧電圧 V_{PP} が印加される第3PMOSトランジスタPM33と、ゲートが前記ノードC'に、ドレインは、前記ノードO'に夫々接続され、ソースに第2入力信号IN2が入力される第5NMOSトランジスタNM35と、ゲートが前記ノードD'に、ソースは前記ノードO'に夫々接続され、ドレインに前記第2入力信号IN2が入力される第4PMOSトランジスタPM34と、を備えて構成され、前記ノードO'から出力信号が出力されるようになっている。

【0015】

【発明の実施の形態】以下、本発明の実施の形態に対し、図面を用いて説明する。

【0016】本発明に係るレベルシフト回路においては、図1に示したように、第1入力信号IN1を反転するインバータINV31と、該インバータINV31により反転された信号INBがゲートに入力され、ソースが接地電圧 V_{SS} に、ドレインはノードB'に接続され

5

た第1 NMOSトランジスタNM31と、ゲートに外部電圧VCCが印加され、ソースがノードB'に、ドレインは、ノードC'に夫々接続された第2 NMOSトランジスタNM32と、ゲートに第1入力信号IN1が入力され、ソースが接地電圧VSSに、ドレインは、ノードA'に夫々接続された第3 NMOSトランジスタNM33と、ゲートに外部電圧VCCが印加され、ソースが前記ノードA'に、ドレインは、ノードD'に夫々接続された第4 NMOSトランジスタNM34と、ゲートが前記ノードD'に、ドレインは、前記ノードC'に夫々接
 10 続され、ソース及び基板に昇圧電圧VPPが印加される第1 PMOSトランジスタPM31と、ゲートが前記ノードC'に、ドレインは、前記ノードD'に夫々接続され、ソース及び基板に昇圧電圧VPPが印加される第2 PMOSトランジスタPM32と、ゲートがノードC'に、ドレインはノードO'に夫々接続され、ソース及び
 20 基板に昇圧電圧VPPが印加される第3 PMOSトランジスタPM33と、ゲートが前記ノードC'に、ドレインは、前記ノードO'に夫々接続され、ソースに第2入力信号IN2が入力される第5 NMOSトランジスタNM35と、ゲートが前記ノードD'に、ソースは前記ノードO'に接続され、ドレインに前記第2入力信号IN2が入力される第4 PMOSトランジスタPM34と、
 を備えて構成され、前記ノードO'から出力信号が出力されるようになっている。

【0017】以下、このように構成された本発明に係るレベルシフト回路の動作を図面を用いて説明する。

【0018】先ず、第1入力信号IN1が、選択されたブロック信号であり、第2入力信号IN2がセンスアンプの他方に連結されたブロックの選択信号である場合、
 30 メモリ回路がディスエーブル状態からイネーブル状態になると、第1入力信号IN1は、“ハイ”レベルから“ロー”レベルに遷移され、第2入力信号IN2は継続して“ハイ”レベルを維持する。

【0019】次いで、図2に示したように、第1入力信号IN1が、選択されたブロック信号であり、第2入力信号IN2は、選択されていない場合、第1入力信号IN1が“ロー”レベルに遷移されると、その反転された信号INBは、“ハイ”レベルに遷移されて第3 NMOSトランジスタNM33は、ターンオフし、第1 NMOSトランジスタNM31はターンオンする。よって、前
 40 記第1 NMOSトランジスタNM31のドレインは、“ロー”レベルになり、第2 NMOSトランジスタNM32は、内部的にターンオンされているため、ノードC'も“ロー”レベルに下降される。前記ノードC'は、第2 PMOSトランジスタPM32、第3 PMOSトランジスタPM33及び第5 NMOSトランジスタNM35のゲートに接続されているため、前記第2 PMOSトランジスタPM32が活性化され、ノードD'は、
 昇圧電圧VPPレベルになる。

6

【0020】次いで、第4 NMOSトランジスタNM34は、内部的にターンオンされているため、ノードA'の電圧レベルは、 $VCC - V_t$ になる。

【0021】そして、ノードC'が、“ロー”レベルであるため、第3 PMOSトランジスタPM33は、ノードO'の電圧レベルを昇圧電圧VPPまで上昇させる。前記NMOSトランジスタNM35は、ターンオフする。

【0022】前記ノードD'が昇圧電圧VPPであるため、前記第4 PMOSトランジスタPM34は、ターンオフする。

【0023】その後、第1入力信号IN1が、再びディスエーブル(“ハイ”レベル)状態になると、第1 NMOSトランジスタNM31は、ターンオフし、第3 NMOSトランジスタNM33は、ターンオンする。次いで、第4 NMOSトランジスタNM34が、内部的にターンオンされているため、ノードD'は、“ロー”レベルに下降される。よって、第1 PMOSトランジスタPM31が活性化され、前記ノードC'は昇圧電圧VPPレベルまで上昇し、第5 NMOSトランジスタNM35が
 ターンオンし、出力信号OUTは、外部電圧VCCレベルに下降して出力される。

【0024】このとき、前記第2、第3 PMOSトランジスタPM32、PM33は、ターンオフし、前記第4 PMOSトランジスタPM34は、ターンオンして前記第5 NMOSトランジスタNM35と一緒にCMOSブルダウンスイッチとして動作する。

【0025】次いで、図3に示したように、第1入力信号IN1がメモリ動作を行う間、継続して“ハイ”レベルを維持し、第2入力信号IN2が“ハイ”レベルから“ロー”レベルに遷移されると、第3 NMOSトランジスタNM33がターンオンし、第1 NMOSトランジスタNM31は、ターンオフし、ノードD'が“ロー”レベルに遷移される。

【0026】よって、第1、第4 PMOSトランジスタPM31、PM34が活性化され、ノードO'は、第2入力信号IN2を、そのまま出力信号OUTとして出力する。

【0027】このとき、第2、第3 PMOSトランジスタPM32、PM33は、メモリ動作を行う間、ノードC'が“ハイ”レベルに維持されるため、ターンオフする。

【0028】次いで、各第2、第4 NMOSトランジスタNM32、NM34は、ノードC'、D'が昇圧電圧VPPに接続された後、第1 NMOSトランジスタNM31又は第3 NMOSトランジスタNM33により接地電圧VSSに接続されると、第1、第2前記PMOSトランジスタPM31、PM32のローディングを減らすトランジスタであって、初期は、ターンオン状態を維持
 50 する。このとき、A'、B'は、 $VPP - V_t$ 又は接地

7

電圧VSS中、何れか一つの値を有する。

【0029】ここで、第5NMOSTランジスタNM35及び第4PMOSTランジスタPM34は、CMOSTランジスタスイッチであって、第2入力信号IN2が、“ロー”レベル又は“ハイ”レベルであることに拘らず、該第2入力信号IN2を、そのまま出力信号OUTとして出力する。

【0030】又、共用センスアンプ構造及び両方向性グローバルビットライン構造のDRAMにおいては、二つのセンスアンプ間に、複数のアレイが構成され、該アレイ間に伝送トランジスタが連結されるが、該伝送トランジスタは、メモリ回路がディスエーブルになると、全て外部電圧VCCレベルを維持するが、駆動状態になると、選択された方の伝送トランジスタ(Transfer TR)は、昇圧電圧VPPレベルに、選択されていない方の伝送トランジスタは、接地電圧VSSレベルになる。

【0031】

【発明の効果】以上説明したように、本発明に係る請求項1においては、別途の回路を追加せず、3相の異なる電圧レベルを出力し得るという効果がある。

【0032】そして、本発明に係る請求項2又は請求項3中、何れか一項においては、二つ又は三つの電圧レベ*

8

*ルを有する電圧レベル転移器として用いることもできる。

【0033】且つ、本発明に係る請求項4又は請求項5においては、電力の消費を低減し、動作速度を迅速化し得るという効果がある。

【0034】又、DRAMのようなメモリ回路で、セルブロックとセンスアンプとを連結する伝送ゲート駆動機として用いることもできる。

【図面の簡単な説明】

【図1】本発明に係るレベルシフト回路図である。

【図2】図1の回路に第1入力電圧が印加された時の動作タイミング図である。

【図3】図1の回路に第2入力電圧が印加された時の動作タイミング図である。

【図4】従来のレベル変換器の回路図である。

【図5】図4の動作タイミング図である。

【符号の説明】

INV31 インバータ

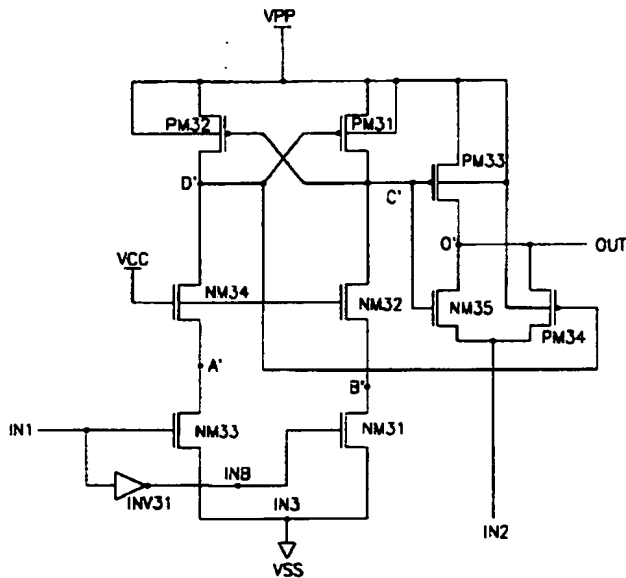
PM31～PM34 第1～第4PMOSTランジスタ

NM31～NM35 第1～第5NMOSTランジスタ

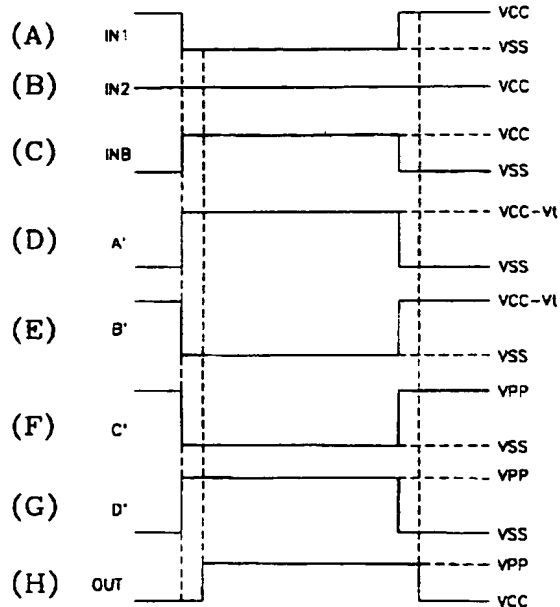
IN1 第1入力

IN2 第2入力

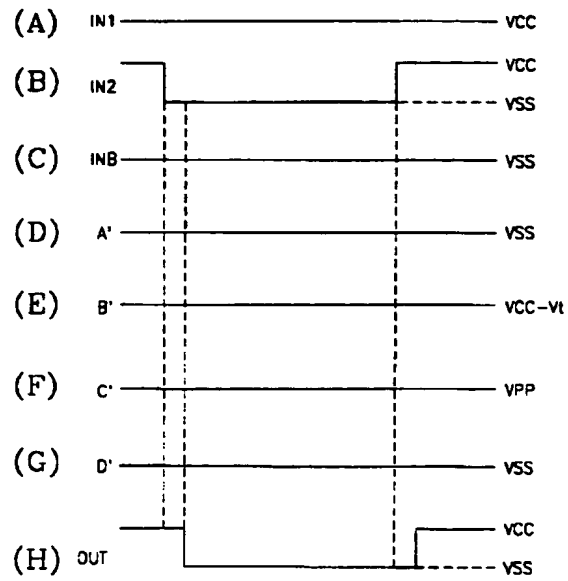
【図1】



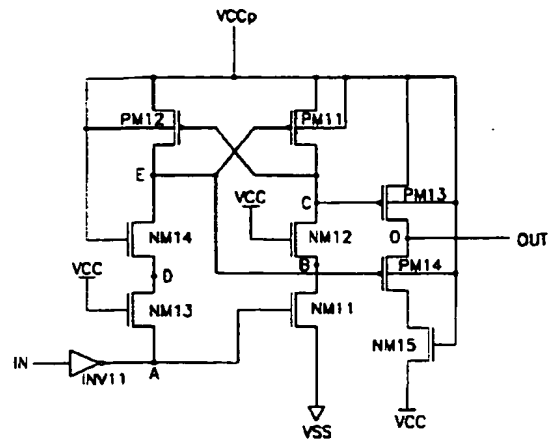
【図2】



【図 3】



【図 4】



【図 5】

